

A method and structure of four layer circuit board improving circuit performance and avoiding electromagnetic interference

Patent Number:

Publication date: 2001-11-01

Inventor(s): CHEN RUNG-GUEI (TW)

Applicant(s): MITAC INTERNAT CORP (TW)

Requested Patent: TW462214

Application Number: TW19990111934 19990714

Priority Number(s): TW19990111934 19990714

IPC Classification: H05K9/00

EC Classification:

Equivalents:

Abstract

The invention provides a method and structure of four layer circuit board improving circuit performance and avoiding electromagnetic interference, which include a first insulation layer between the second and the third layers of the circuit board, a second insulation layer between the first and second layers of the circuit board and a third insulation layer between the third and fourth layers of the circuit board. It is characterized that the third layer of the circuit board is a first signal layer, the second layer is grounding layer, the first layer of the circuit board is a second signal layer and the fourth layer is a power layer so that the first and second signal layers all located in the adjacent layers of the ground layer to alleviate the magnetic flux to significantly restrain electromagnetic interference.

Data supplied from the esp@cenet database - I2

Citations for ROC Pat. 公告欄 462214

申請日期	88.7.14
案 號	88111934
類 別	HosK 9/00

A4
C4

462214

(以上各欄由本局填註)

發明專利說明書

一、發明 新 型 名 稱	中 文	改良電路性能及避免電磁干擾 之四層電路板 方法及結構
	英 文	
二、發明人 新 作 人	姓 名	陳榮貴
	國 稣	中華民國
	住、居所	台北縣中和市圓通路403號4樓
三、申請人	姓 名 (名稱)	神達電腦股份有限公司
	國 稣	中華民國
	住、居所 (事務所)	桃園縣龜山鄉文化一路40號 新竹科學園區新竹縣竹科二路1號
	代 表 人 姓 名	苗豐強

第1頁

四、中文發明摘要（發明之名稱：一種改良電路性能及避免電磁干擾之四層電路板之方法及結構）

本發明係提供一種改良電路性能及避免電磁干擾之四層電路板之方法及結構，係包括一位於該電路板第二及第三層之間之第一絕緣層，一位於該電路板第一、第二層間之第二絕緣層及一位於該電路板第三、第四層間之第三絕緣層，其特徵在於：該電路板之第三層係為一第一信號層，第二層係為接地層，該電路板之第一層係為一第二信號層，而第四層係為一電源層；使該第一及第二信號層皆位於該接地層之鄰層間俾使磁通抵消變佳，並可有效抑制電磁干擾。

（請先閱讀背面之注意事項再填寫本頁各欄）

英文發明摘要（發明之名稱：）

462214

(由本局填寫)

承辦人代碼：
大類：
I P C 分類：

A6

B6

本案已向：

國(地區) 申請專利，申請日期： 案號： 有 無主張優先權

(請先閱讀背面之注意事項再填寫本頁各欄)

有關微生物已寄存於： ， 寄存日期： ， 寄存號碼：

五、發明說明 (1)

(請先閱讀背面之注意事項再填寫本頁)

訂

本發明係有關於一種改良電路性能及避免電磁干擾之四層電路板之方法及結構，特別是指一種藉由改變各層板間絕緣層之厚度之壓合方式俾提高信號品質及有效抑制電磁干擾。

按，一般傳統之四層電路板，其各層之排列方式係如第一圖所示，該電路板之第一、四層為信號層 S1、S2，第二層為接地層 GND 及第三層為電源層 Power，且第一層 S1 及第四層 S2 面向空氣介質之一面係可供阻設元件 10；其中，該第二層 GND 與第三層 Power 之間係壓合有一 36mil 厚之第一絕緣層 11，該第二層 GND 與第一層 S1 及第三層 Power 與第四層 S2 之間分別壓合有一 8mil 厚之第二絕緣層 12、13，而且，該第二絕緣層 12 與第三絕緣層 13 之材質係為一聚酯膠片 (P. P.)，該第一絕緣層 11 之材質係為一紙質、玻璃纖維之類的基材 (core)；而如上所述，各層板間的壓合方式會使得第一層 S1 對第二層 GND 之阻抗值 $R_{S1} =$ 第四層 S2 對第三層 Power 之阻抗值 $R_{S4} \approx 71.3$ 歐姆，且由於該第一絕緣層 11 之厚度為 36mil，以致當一高速訊號在此一電路板中傳輸時，該高速訊號從如第一層 S1 因走線之關係而必須穿層至該第四層 S2 時，會導致該高速訊號之訊號反射，並造成訊號傳輸品質不良，且造成整個信號迴路變大，而造成過高之電磁波干擾。

再者，一般而言，信號層愈接近接地層磁通抵消愈佳，但傳統電路板中位於第四層之信號層 S2 因無法靠近接地層 GND，故磁通抵消效果較差，且信號層 S2 相較於

五、發明說明 (2)

(請先閱讀背面之注意事項再填寫本頁)

表一
評

信號層 S1 離接地層 GND 較遠，故信號迴路較大，而使訊號反射較多因而影響訊號品質。

另外，此種電路板在走高速訊號時，其傳輸線路之阻抗值設計，亦就是層與層之間之阻抗值，依照 Intel 5 設定之規格理論值最好應在 $55\Omega \pm 10\%$ 最好，也就是最好在 $49.5\Omega \sim 60.5\Omega$ 之間（或至少鄰近此範圍），但由傳統電路板所算出之外層阻抗值 $Rs1(Rs2)=73.1\Omega$ ，皆遠超出了此一範圍，實不適於走高速訊號，故若使電路板之之第一、四層為訊號走線層 S1、S2 的相對阻抗值 $Rs1$ 、 $Rs2$ 10 在此範圍或接近此範圍將更適用於高速線路，進而提高產品在產業之利用價值。

有鑑於此，是以，本發明人累積多年從事該行業之經驗，積極從事研究，終有本創作『改良電路性能及避免電磁干擾之四層電路板之方法及結構』之產生。

15 本發明之主要目的，係提供一種改良電路性能及避免電磁干擾之四層電路板之方法及結構，特別是指一種藉由改變各層板間絕緣層之厚度及其壓合方式俾提高信號品質及有效抑制電磁干擾。

而，本發明之主要特徵，係為改變壓合之步驟，將原本位於第四層之信號層壓合至第三層，並將原本位於 20 第三層之電源層改變壓合至第四層，並改變各該絕緣層間之厚度；進而達到降低高速訊號之反射及電磁波干擾，俾可提高訊號品質並適用於高速訊號之走線。

爰是，為達到上述之目的，本發明係提供一種改良

五、發明說明(3)

電路性能及避免電磁干擾之四層電路板之方法及結構，係包括一位於該電路板之第二及第三層之間的第一絕緣層、兩分別位於該電路板之第一及第二層之間的第二絕緣層及兩分別位於該電路板之第三及四層之間的第三絕緣層，其特徵在於：該電路板之第三層係為一第一信號層，第二層係為接地層，第三層係為一第二信號層，而第四層則為一電源層。

有關本發明為達上述目的、特徵所採用的技術手段及其功效，茲例舉較佳實施例並配合圖式說明如下：

10 第一圖係習知四層電路板之示意圖

第二圖係本發明較佳實施例之結構示意圖

第三圖係本發明較佳實施例計算第一信號層之阻值（即內層之信號層）之示意圖。

第四圖係本發明較佳實施例計算第二信號層之阻值（即外層之信號層）之示意圖。

圖號對照表：

GND 接地層

Power 電源層

20 第一絕緣層

S1 第一信號層

21 第二絕緣層

S2 第二信號層

20 第三絕緣層

(請先閱讀背面之注意事項再填寫本頁)

附
註

請參考第二圖所示，本較佳實施例係為一四層電路板，其中，吾人先設該第二層為接地層 GND，在本實施例中，係用一整片銅箔當作接地層 GND，並以一材質為一紙質、玻璃纖維之類的基材為第一絕緣層 20 和一第一信號

五、發明說明 (4)

(請先閱讀背面之注意事項再填寫本頁)

層 S1 相壓合，在本較佳實施例中，該用以走線用之第一信號層 S1 即為該電路板之第三層，在該第一信號層 S1 中，僅有走線部分以銅箔作傳輸訊號，而其餘部分則蝕刻掉；下一步，吾人在已壓合之兩層電路板其接地層 GND 5 未與第一絕緣層 20 壓合之表面以一材質為聚酯膠片之第二絕緣層 21 與一第二信號層 S2 相壓合，而在本較佳實施例中，此第二信號層 S2 即為此電路板之第一層；下一步再將已壓合之三層電路板其中該第三層之第一信號層 S1 未與第一絕緣層 20 壓合之表面以材質為聚酯膠片之第 10 15 三絕緣層 22 與位於第四層之電源層 power 壓合，在本較佳實施例中，該電源層 power 為一整片的銅箔。

因此，在本較佳實施例中，該電路板第二層 GND 及第三層 S1 之間係為第一絕緣層 20，位於該電路板第一、第二層 S2、GND 間係為第二絕緣層 21 而位於該電路板第三、第四層 S1、POWER 間則為第三絕緣層 22，而該電路板之第三層係為一第一信號層 S1，第二層係為接地層 GND，第一層係為一第二信號層 S2，而第四層則為一電源層 POWER。

藉由上述構造，吾人將該等信號層 S1、S2 壓合於第三及第一層，使 S1 及 S2 最接近接地層 GND，磁通抵消最佳，而 20 和習知之電路板比較，請比較第一及第二圖，將一信號層 由第四層移至第三層之做法，也使該訊號在穿層走線時（如第一層 S2 穿層至第三層 S1），信號迴路（走線之距離）大幅縮短，可大幅提高信號品質，而將信號層移至第三層後，受到接地層 GND（第二層）及電源層 POWER（第四層）形成

五、發明說明 (5.)

三明治方式之夾制方式，造成遮蔽效應，俾能更有效抑制電磁干擾。

而如前述所提及，電路板之各該訊號走線層 S1、S2 之相對阻抗值最好相近，且最好在於 Intel 規定之高速線路理論阻抗值 49.5~59.5 歐姆或鄰近此範圍，本發明人發現更可藉由改變各絕緣層之厚度而使各該訊號走線層 S1、S2 之相對阻抗值隨之改變，進而達到各層阻抗匹配之目的，故藉由下列之公式來大致說明其研發之過程：

首先，請參考第三圖，在本實施例中，該電路板的第三層，即該第一信號層 S1 相對於接地層 GND 與電源層 Power 之相對阻抗 R1，可利用下列公式 1 求出阻抗值 R1：

其中： $ER = \text{介電值係數} = 4.5$

$$R1 = \frac{60}{\sqrt{ER}} \ln \left\{ \frac{48}{0.67 \pi W \left(0.8 + \frac{T1}{W} \right)} \right\}$$

$T1 = \text{第一信號層之厚度} = 1.4 \text{ mil} = 1 \text{ oz}$

15 $W = \text{線寬} = 6 \text{ mil}$

又，如第四圖所示，該電路板外層之相對阻抗值，即第二信號層 S2 對於接地層 GND 之 阻抗值 R2 可先設定第二絕緣層之適當厚度 H2 再利用下列公式 1 求出阻抗值 R2：

20 其中： $R2 = \frac{87}{\sqrt{ER} + 1.41} \ln \left\{ \frac{5.98 H2}{0.8 W + T2} \right\} \dots 2$

五、發明說明 (6)

$ER = \text{介電係數} = 4.5$

$H2 = \text{第二絕緣層之厚度}$

$W = \text{線寬} = 6\text{mil}$

$T2 = \text{該第二信號層 } S2 \text{ 的厚度} = 0.7\text{mil} = 0.5\text{oz}$

5 本發明人利用上列之方式經多次反複嘗試再經測試，求出第一絕緣層的厚度 $H1$ 在 $6.175-6.825\text{mil}$ 範圍內，在此以 $H1=6.5\text{mil}$ 為佳、第二絕緣層厚度 $H2$ 在 $4.75-5.25\text{mil}$ 範圍內，以 $H2=5\text{mil}$ 為佳，及第三絕緣層厚度 $H3$ 於 $48-50\text{mil}$ 範圍內，第一信號層 $S2$ 相對於接地層 GND 與電源層 $Power$ 之相對阻抗 $R2=58.7$ 歐姆，而經過測試後，該第二信號層 $S1$ 之阻抗值 $R1=57.7$ 歐姆，並符合 intel 所制定之規格標準。

綜上所述，本發明有下列之優點：

1. 縮短高速訊號之迴路：因相較於習知之電路板，穿層時整體迴路大大縮短，更適於高速訊號行走。

2. 磁通抵消佳：因高速訊號不會反射，故亦不會產生駐波，且由於信號走線層 $S1$ 、 $S2$ 接近接地層 GND ，使其磁通抵消作用極佳，符合現今業界要求 EMI 之標準。

3. 降低電磁波干擾：由於該第一信號層位於接地層 GND 及該電源層 $POWER$ 之間，形成三明治方式，因遮蔽效應可有效抑制電磁干擾，進而使高速訊號行走不會

(請先閱讀背面之注意事項再填寫本頁)

五、發明說明 (7)

產生問題，符合現今製造業往高速訊號發展的趨勢，使產品的利用價值及競爭力可提高。

綜上所述，本發明之『改良電路性能及避免電磁干擾之四層電路板之方法及結構』，確能藉上述所揭露之構造、裝置，達到預期之目的與功效，且申請前未見於刊物亦未公開使用，符合發明專利之新穎、進步等要件。

惟，上述所揭之圖式及說明，僅為本發明之實施例而已，非為限定本發明之實施；大凡熟悉該項技藝之人仕，其所依本發明之特徵範疇，所作之其他等效變化或修飾，皆應涵蓋在以下本案之申請專利範圍內。

(請先閱讀背面之注意事項再填寫本頁)

訂

90年6月18日 修正
補充

462214

A8
B8
C8
D8

六、申請專利範圍0八八一一九三四號專利申請專利範圍修正本(修正日期:90.6.18)

(請先閱請背面之注意事項再填寫本頁)

裝
計
線

1. 一種改良電路性能及避免電磁干擾之四層電路板之結構，係包括一位於該電路板第二及第三層之間之第一絕緣層，一位於該電路板第一、第二層間之第二絕緣層及一位於該電路板第三、第四層間之第三絕緣層，其特徵在於：

該電路板之第三層係為一第一信號層，第二層係為接地層，第三層係為一第二信號層，而第四層則為一電源層；藉此，使該第二信號層位於該接地層及該電源層間，俾使磁通抵消變佳，並可有效抑制電磁干擾。

10 2. 如申請專利範圍第1項所述之改良電路性能及避免電磁干擾之四層電路板之結構，其中該第一絕緣層之厚度係於 $6.5\text{mil} \pm 5\%$ 範圍內。

3. 如申請專利範圍第1項所述之改良電路性能及避免電磁干擾之四層電路板之結構，其中該第二絕緣層之厚度係於 $5\text{mil} \pm 5\%$ 之範圍內。

15 4. 如申請專利範圍第1項所述之改良電路性能及避免電磁干擾之四層電路板之結構，其中該第三絕緣層之厚度係於 $48-50\text{mil}$ 範圍內。

5. 如申請專利範圍第1項所述之改良電路性能及避免電磁干擾之四層電路板之結構，其中該第一絕緣層係可為基材(core)。

20 6. 如申請專利範圍第1項所述之改良電路性能及避免電磁干擾之四層電路板之結構，其中該第二、三絕緣層係可為聚酯膠片 (prepreg)。

8年6月18日 修正
補充

462214

A8
B8
C8
D8

六、申請專利範圍0八八一一九三四號專利申請專利範圍修正本(修正日期:90.6.18)

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

7. 一種改良電路性能及避免電磁干擾之四層電路板之結構，係包括有：

一第一信號層，係位於電路板之第三層；

5 一接地層，係位於電路板之第二層，且與該第三層間組設有一厚度為 $6.5\text{ mil} \pm 5\%$ 之第一絕緣層；

一第二信號層，係位於電路板之第一層，且與該第二層間組設有一厚度為 $5\text{ mil} \pm 5\%$ 之第二絕緣層；及

10 一電源層，係位於電路板之第四層，且與該第三層間組設有一厚度為 $48-50\text{ mil}$ 之第三絕緣層。

8. 如申請專利範圍第7項所述之改良電路性能及避免電磁干擾之四層電路板之結構，其中該第一絕緣層係可為基材 (core)。

9. 如申請專利範圍第7項所述之改良電路性能及避免電磁干擾之四層電路板之結構，其中該第二、三絕緣層係可為聚酯膠片 (prepreg)。

10. 如申請專利範圍第7項所述之改良電路性能及避免電磁干擾之四層電路板之結構，其中該第一絕緣層之厚度係以 6.5 mil 為最佳。

20 11. 如申請專利範圍第7項所述之改良電路性能及避免電磁干擾之四層電路板之結構，其中該第二絕緣層之厚度係以 5 mil 為最佳。

12. 如申請專利範圍第7項所述之改良電路性能及避免電磁干擾之四層電路板之結構，其中該第三絕緣層之厚

修正
10年6月8日
補充

462214

A8
B8
C8
D8

六、申請專利範圍0八八一一一九三四號專利申請專利範圍修正本(修正日期:90.6.18)

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

度係以48mil為最佳。

13. 一種改良電路性能及避免電磁干擾之四層電路板之壓合方法，係包括有：

a. 該電路板位於第二層之接地層係以第一絕緣層與位於第三層之第一信號層壓合；

b. 步驟 a 中已壓合之該電路板接地層未與第一絕緣層壓合之表面係以第二絕緣層與位於第一層之第二信號層壓合；及

c. 步驟b中已壓合之該電路板第三層之第一信號層未與第一絕緣層壓合之表面係以第三絕緣層與位於第四層之電源層壓合。

14. 如申請專利範圍第13項所述之改良電路性能及避免電磁干擾之四層電路板之壓合方法，其中該第一絕緣層之厚度係於 $6.5\text{mil} \pm 5\%$ 範圍內。

15. 15. 如申請專利範圍第13項所述之改良電路性能及避免電磁干擾之四層電路板之壓合方法，其中該第二絕緣層之厚度係於 $5\text{ mil} \pm 5\%$ 之範圍內。

16. 如申請專利範圍第13項所述之改良電路性能及避免電磁干擾之四層電路板之壓合方法，其中該第三絕緣層之厚度係於48-50mil範圍內。

17. 如申請專利範圍第13或14項所述之改良電路性能及避免電磁干擾之四層電路板之壓合方法，其中該第一絕緣層係可為基材 (core)。

18. 如申請專利範圍第13或15或16項所述之改良電路性能

90年6月18日 修正
補充

462214

A8
B8
C8
D8

六、申請專利範圍0八八一一九三四號專利申請專利範圍修正本(修正日期:90.6.18)

及避免電磁干擾之四層電路板之壓合方法，其中該第二、三絕緣層係可為聚酯膠片 (prepreg)。

(請先閱讀背面之注意事項再填寫本頁)

裝 線

462214

88111934

A9

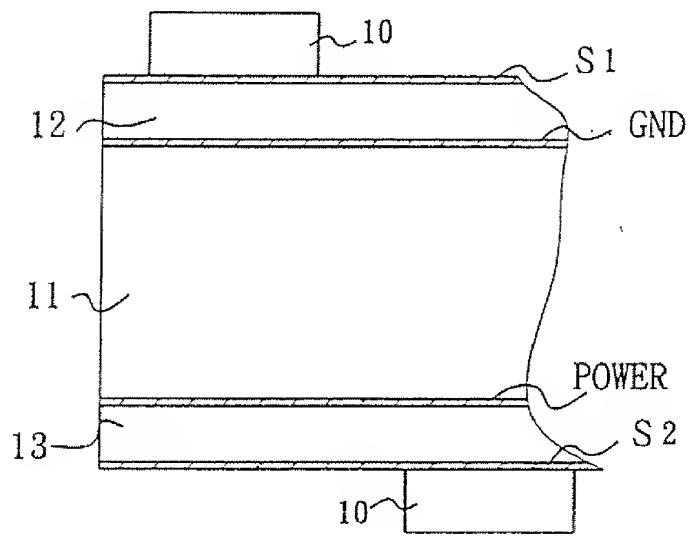
B9

C9

D9

圖式

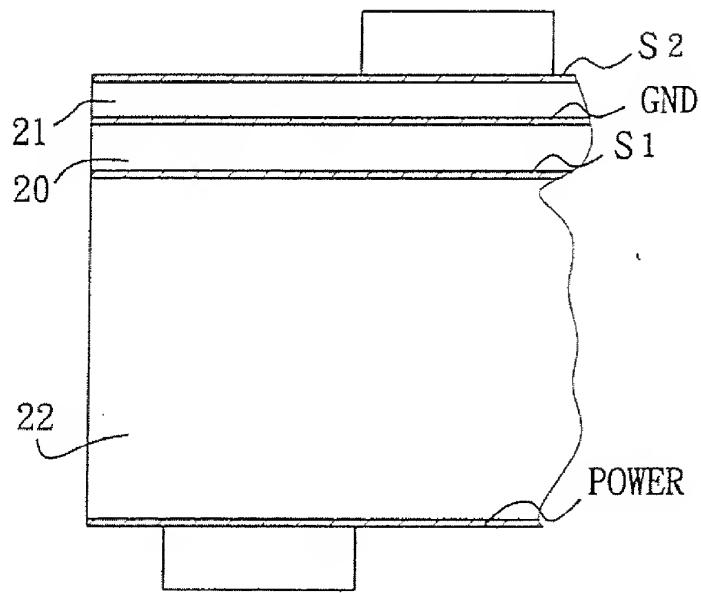
(請先閱讀背面之注意事項再行繪製)



第一圖

圖式

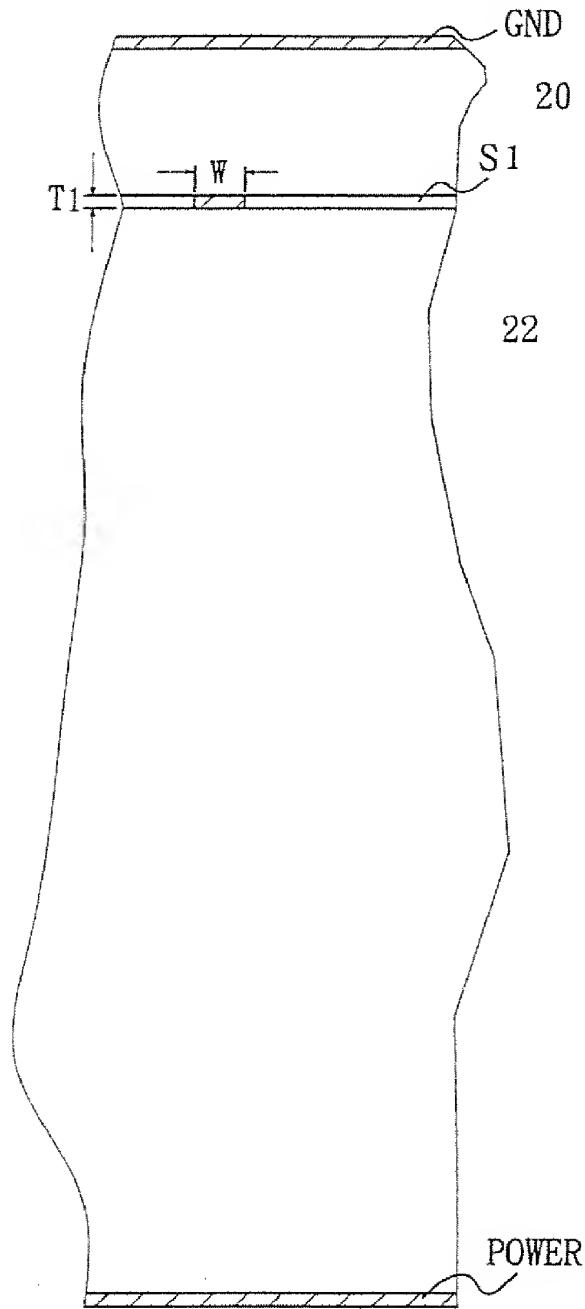
(請先閱讀背面之注意事項再行繪製)



第二圖

圖式

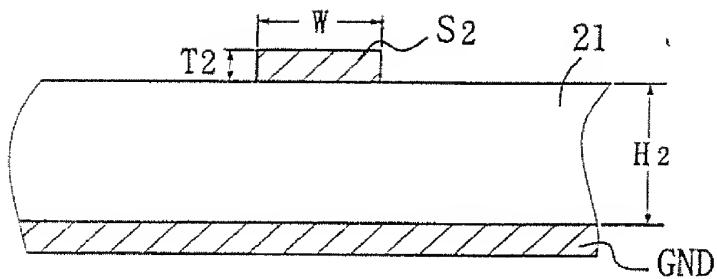
(請先閱讀背面之注意事項再行繪製)



第三圖

圖式

(請先閱讀背面之注意事項再行繪製)



第四圖